

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

12747288

Basic Patent (No,Kind,Date): JP 7297407 A2 19951110 <No. of Patents: 004>

SEMICONDUCTOR INTEGRATED CIRCUIT (English)

Patent Assignee: SEMICONDUCTOR ENERGY LAB

Author (Inventor): KOYAMA JUN; KAWASAKI YUJI

IPC: \*H01L-029/786; G02F-001/1345; G02F-001/136

CA Abstract No: \*124(06)074074C; 124(06)074074C

Derwent WPI Acc No: \*C 96-025608; C 96-025608

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
<b>JP 7297407</b>	A2	19951110	JP 94107575	A	19940422 (BASIC)
US 5889291	A	19990330	US 688829	A	19960731
US 20020195634	AA	20021226	US 202873	A	20020726
US 6441399	BA	20020827	US 229677	A	19990113

Priority Data (No,Kind,Date):

JP 94107575 A 19940422

US 688829 A 19960731

US 423085 B1 19950418

US 202873 A 20020726

US 229677 A3 19990113

US 688829 A3 19960731

US 229677 A 19990113

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

05004807      \*\*Image available\*\*

SEMICONDUCTOR INTEGRATED CIRCUIT

PUB. NO.:      07-297407 [JP 7297407 A]

PUBLISHED:      November 10, 1995 (19951110)

INVENTOR(s):      KOYAMA JUN

                 KAWASAKI YUJI

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.:      06-107575 [JP 94107575]

FILED:              April 22, 1994 (19940422)

INTL CLASS:      [6] H01L-029/786; G02F-001/1345; G02F-001/136

JAPIO CLASS:      42.2 (ELECTRONICS -- Solid State Components); 29.2 (PRECISION INSTRUMENTS -- Optical Equipment)

JAPIO KEYWORD: R002 (LASERS); R004 (PLASMA); R011 (LIQUID CRYSTALS); R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS); R100 (ELECTRONIC MATERIALS -- Ion Implantation)

#### ABSTRACT

**PURPOSE:** To provide a semiconductor integrated circuit having an excellent circuit characteristic by using P-channel TFTs for all monolithic active matrix circuits and an offset gate type TFT for the TFT constituting an active matrix circuit.

**CONSTITUTION:** Island-like areas 103-105 are formed by etching a crystallized silicon film. The areas 103 and 104 are used for TFTs constituting peripheral drive circuits and the area 105 is used for a TFT forming an active matrix circuit. Then a gate insulating film is formed by depositing a silicon oxide film 106. In addition, gate electrodes 107-109 are formed by depositing and etching an aluminum film. Offsets can be formed by satisfactorily utilizing an increased amount resulting from anodic oxidation when films 110-112 composed of a product of anodic oxidation are formed on the side and upper surfaces of the gate electrodes 107-109 by applying a voltage across the electrodes 107-109 in an electrolyte. Therefore, a semiconductor integrated circuit having an excellent circuit characteristic can be obtained, because the drain current of the circuit can be prevented from becoming large when a reverse bias current is supplied to the gate electrodes.

(19)日本国特許庁 (J.P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平7-297407

(43)公開日 平成7年(1995)11月10日

(51)Int. Cl. <sup>6</sup>

識別記号

F I

H01L 29/786

G02F 1/1345

1/136

500

9056-4M

9056-4M

H01L 29/78

311 G

311 A

審査請求 未請求 請求項の数7 F D (全10頁)

(21)出願番号

特願平6-107575

(22)出願日

平成6年(1994)4月22日

(71)出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72)発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72)発明者 河崎 祐司

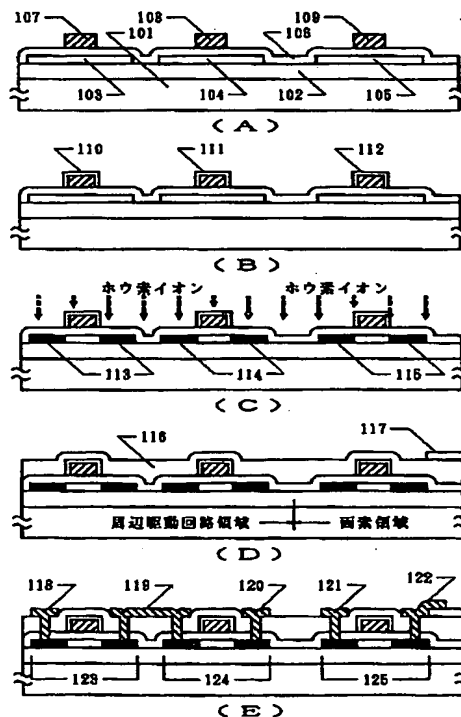
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(54)【発明の名称】 半導体集積回路

(57)【要約】

【目的】 薄膜トランジスタ (TFT) を用いてアクティブマトリクス回路およびその駆動回路を構成し、特性および信頼性に優れたモノリシック型アクティブマトリクス装置を得る。

【構成】 TFTとして、ゲート電極とソース/ドレイン領域の位置関係がオフセット状態であるオフセットゲイトTFTや、気相成長法によって形成された絶縁膜をゲート絶縁膜として用いるTFTを用いるモノリシック型アクティブマトリクス回路において、アクティブマトリクス回路およびその駆動回路をも全てPチャネル型のTFTを用いて構成する。



## 【特許請求の範囲】

【請求項 1】 絶縁表面上に、薄膜トランジスタによって構成されたアクティブマトリクス回路とその駆動回路を有する半導体集積回路において、前記アクティブマトリクス回路とその駆動回路を構成する薄膜トランジスタは P チャネル型であり、かつ、少なくともアクティブマトリクス回路を構成する薄膜トランジスタはオフセットゲイト型であることを特徴とする半導体集積回路。

【請求項 2】 絶縁表面上に、薄膜トランジスタによって構成されたアクティブマトリクス回路とその駆動回路を有する半導体集積回路において、前記アクティブマトリクス回路とその駆動回路を構成する薄膜トランジスタは P チャネル型であり、かつ、少なくともアクティブマトリクス回路を構成する薄膜トランジスタはゲイト電極を構成する物質の酸化物によってゲイト電極が被覆されていることを特徴とする半導体集積回路。

【請求項 3】 絶縁表面上に、薄膜トランジスタによって構成されたアクティブマトリクス回路とその駆動回路を有する半導体集積回路において、前記アクティブマトリクス回路とその駆動回路を構成する薄膜トランジスタは P チャネル型であり、かつ、ゲイト絶縁膜が 8 0 0 °C 以下の温度で形成されたことを特徴とする半導体集積回路。

【請求項 4】 絶縁表面上に、薄膜トランジスタによって構成されたアクティブマトリクス回路とその駆動回路を有する半導体集積回路において、前記アクティブマトリクス回路とその駆動回路を構成する薄膜トランジスタは P チャネル型であり、かつ、駆動回路を構成する薄膜トランジスタの少なくとも 1 つはオフセットゲイト型であることを特徴とする半導体集積回路。

【請求項 5】 絶縁表面上に、薄膜トランジスタによって構成されたアクティブマトリクス回路とその駆動回路を有する半導体集積回路において、前記アクティブマトリクス回路とその駆動回路を構成する薄膜トランジスタは P チャネル型であり、かつ、駆動回路を構成する薄膜トランジスタの少なくとも 1 つはゲイト電極を構成する物質の酸化物によってゲイト電極が被覆されていることを特徴とする半導体集積回路。

【請求項 6】 絶縁表面上に、薄膜トランジスタによって構成されたアクティブマトリクス回路とその駆動回路を有するアクティブマトリクス型液晶表示装置において、前記アクティブマトリクス回路とその駆動回路を構成する薄膜トランジスタはいずれも P チャネル型である半導体集積回路。

【請求項 7】 絶縁表面上に、すべて P チャネル型の薄膜トランジスタによって構成されたアクティブマトリクス回路とその駆動回路を有するアクティブマトリクス型液晶表示装置基板と、該液晶表示装置基板上に固定された CMOS 型半導体チップを有することを特徴とする半導体集積回路。

## 【発明の詳細な説明】

## 【 0 0 0 1 】

【産業上の利用分野】 本発明は、薄膜半導体素子を用いて構成された半導体集積回路に関する。特に、液晶表示装置やダイナミック RAM (DRAM) のように、マトリクス構造を有し、そのスイッチング素子として MOS 型もしくは MIS (金属-絶縁体-半導体) 型電界効果型素子 (以上を、MOS 型素子と総称する) を有するアクティブマトリクス回路とそれを駆動するための駆動回路が同一基板上に形成されたモノリシック型アクティブマトリクス装置に関する。特に本発明は、MOS 型素子として絶縁表面上に比較的、低温で形成される薄膜半導体トランジスタを使用する装置に関する。

## 【 0 0 0 2 】

【従来の技術】 最近、マトリクス構造を有する液晶等の表示装置において、薄膜状の活性層 (活性領域ともいう) を有する絶縁ゲイト型の半導体装置、いわゆる薄膜トランジスタ (TFT) を各画素のスイッチング用に利用したマトリクス回路、いわゆるアクティブマトリクス回路の研究がおこなわれている。なかでも、アクティブマトリクス回路のみならず、その駆動のための周辺回路をも TFT によって同一基板上に形成した一体型 (モノリシック型) アクティブマトリクス装置が注目を集めている。モノリシック型アクティブマトリクス装置においては、膨大な端子の接続は不要であり、したがって、マトリクスの密度を高めることも可能であり、製造歩留りも向上することが期待された。

【 0 0 0 3 】 このような目的には、結晶性シリコンを活性層に用いた TFT を使用することが必要であった。というのは、駆動回路は非常に高速で動作することが要求されたからである。このような TFT を得るには、従来の半導体技術をそのまま援用してもよかったが、その場合には基板材料として 9 0 0 °C 以上の高温に耐える材料が必要であった。しかしながら、そのような材料は石英ガラス等に限られ、大面積では非常に基板コストが上昇した。

【 0 0 0 4 】 基板として安価なものをを用いる場合には、製造プロセスの最高温度をより低温、すなわち 8 0 0 °C 以下、好ましくは 6 0 0 °C 以下とすることが必要であった。また、高価な基板を用いるだけの余裕があっても、回路を構成する他の材料の耐熱性の問題からより低い温度で処理することが必要とされることもあった。そのため、活性層は 8 0 0 °C 以下の長時間にわたる熱アニール、もしくはレーザー光等の強光を照射することによって瞬間的に結晶化をおこなう光アニール (レーザーアニール等) 等によって、アモルファスシリコンを結晶化させて用いた。また、ゲイト絶縁膜としては、通常の半導体プロセスで用いられる熱酸化膜が用いられないので、プラズマ CVD 法、大気圧 CVD 法、スパッタリング法等の気相成長法によって、8 0 0 °C 以下の温度で成膜さ

れた酸化珪素、窒化珪素、酸化窒化珪素等の膜が用いられた。

【0005】一方、多結晶シリコン等の非単結晶シリコンを用いたTFTにおいては、ゲート電極に逆バイアス電圧を印加した場合のド레인電流（リーク電流）が大きいことが問題であった。この点に関してはゲート電極がドレインが重ならないような状態（オフセット状態）となるように設計することによって大きく改善できることが知られている。このようなトランジスタをオフセットゲート型トランジスタという。ただし、このようなオフセット状態をフォトリソグラフィ工程によって再現性良く実現することは不可能であった。特開平 5 - 1 1 4 7 2 4、同 5 - 2 6 7 1 6 7 はこの問題に回答を与えたもので、そこに示されるように、ゲート電極を陽極酸化することによって、陽極酸化による増加分をうまく用いて、オフセットを形成することができた。

【0006】また、このようにゲート電極の周囲を陽極酸化物で被覆するということはオフセットゲートを意図しなくても、例えば、アルミニウムのように耐熱性の不十分な材料によってゲート電極を構成する場合、その後の加熱プロセス（例えば、レーザー照射、CVD法による成膜工程等）におけるヒロックの発生を抑止するという効果を有していた。

【0007】

【発明が解決しようとする課題】しかしながら、気相成長法によって形成された絶縁膜は、膜質が悪く、また、シリコン膜表面とゲート絶縁膜との界面の接合性も良くないため、電荷捕獲中心（トラップセンター）がシリコンとの界面や絶縁膜内部に多く存在した。特に電子を捕獲するセンターが多かった。この結果、このような材料で形成されたTFTを長時間使用していると、電子がトラップセンターに多く捕獲され、TFTの特性に悪影響を及ぼした。

【0008】また、オフセット形成のために残された陽極酸化物も同様に多くのトラップ準位を有し、特に、アルミニウムの陽極酸化物である酸化アルミニウムは電子をトラップしやすかった。このような問題によって、TFTを長時間使用することによる特性の悪化がもたらされた。具体的には、Nチャネル型のTFTにおいては、図7（A）に示すように、捕獲された電子によって、ドレインとチャネル形成領域の境界部分に、弱いP型の領域が形成された。これはNチャネル型TFTにおいては、ド레인電流を妨げるものである。

【0009】このような弱いP型の領域の形成はオフセットゲート型のTFTにおいては顕著であった。というのは、ゲート電極の直下に形成された場合には、実際の動作においては、ゲート電極の印加電圧によってこの領域を小さくすることが可能であった。しかしながら、オフセット領域に生じた場合には、ゲート電極の影響は小さく、また、ド레인領域からも離れており、まったく

制御不能な領域となった。ゲート電極の周囲に形成された陽極酸化物も同様な問題を有する。特に、ド레인電圧が弱い場合には、本来、ソースからド레인まで伸びるべき反転層（チャネル）が、この弱いP型領域によって妨げられ、加えて、ド레인電圧が低いため、チャネル形成領域を移動するキャリア（Nチャネル型TFTであるので、電子）の速度も小さく、正常な状態に比較してド레인電流の減少をもたらした。（図7（B））

【0010】ド레인電圧が十分に大きな場合は、正常な状態であっても反転層自体がソース側に後退し、また、電子の速度も大きいので、このような弱いP型の領域の存在はさして問題とはならず、正常な状態と変わらない特性が得られた。このような現象はNチャネル型TFTのしきい値電圧の変動を意味している。すなわち、しきい値電圧の安定していることの要求される用途、例えば、アクティブマトリクス回路のスイッチング素子、もしくはその周辺駆動回路のアナログスイッチ素子には用いられないということの意味していた。なお、Pチャネル型TFTにおいては、このようなトラップされた電子はチャネル領域にドレインと同じ導電型の領域を拡げるだけであり、その結果、特性の劣化は深刻なものではなかった。

【0011】したがって、回路をNチャネル型TFTとPチャネル型TFTの相補型回路（CMOS）とすれば、長時間の使用によってNチャネル型TFTは劣化し、相補型回路として機能しないという問題もあった。モノリシック型アクティブマトリクス回路においては、アクティブマトリクス回路およびソースドライバの出力端においては、アナログスイッチが必要とされているが、アナログスイッチを形成するには上記のような問題を考慮しなければならない。また、モノリシック型アクティブマトリクス回路においては、米国特許 4 5 8 2 3 9 5 のように、周辺駆動回路の論理回路に通常、CMOS回路が用いられるが、これも上記のような劣化の問題を考慮する必要がある。本発明はこのような困難な課題に対して解答を与えんとするものである。

【0012】

【課題を解決する方法】このような問題は、特に液晶表示装置等の電界の効果によって光の透過性や反射性が変化する材料を利用し、対向する電極との間にこれらの材料をはさみ、対向電極との間にアナログ的な電界をかけて、画像表示をおこなうためのアクティブマトリクス回路と、それを駆動するための周辺回路とを同一基板上に有する集積回路、すなわち、モノリシック型アクティブマトリクス回路においては、第1に解決せねばならない問題点であった。

【0013】本発明の第1は、モノリシック型アクティブマトリクス回路を全てPチャネル型TFTを用いて構成したものであり、かつ、アクティブマトリクス回路を構成するTFTがオフセットゲート型であるものであ

る。特に、オフセット型とするために、特開平 5-114724 もしくは同 5-267167 に記載されているようなゲート電極を陽極酸化することによって、陽極酸化物によって被覆し、これを用いてオフセットゲート型とするものである。本発明の第 2 は、ゲート絶縁膜が 800℃ 以下の温度で形成されたモノリシック型アクティブマトリクス回路において、全ての TFT を P チャネル型 TFT によって構成するものである。

【0014】本発明の第3は、モノリシック型アクティブマトリクス回路を全てPチャネル型TFTを用いて構成したものであり、かつ、その周辺駆動回路を構成する薄膜トランジスタの少なくとも1つをオフセットゲイト型とするものである。この場合も本発明の第1と同様に、ゲイト電極を陽極酸化することによってオフセットゲイト型としたものであってもよい。本発明の第4は、モノリシック型アクティブマトリクス回路において、アクティブマトリクス回路もしくは周辺駆動回路を構成するTFTの少なくとも1つのゲイト電極の少なくとも側面にゲイト電極の陽極酸化物を残したものであり、かつ、回路全体をPチャネル型TFTを用いて構成したものである。

**[ 0 0 1 5 ]**

【作用】本発明の作用について述べる。高い電荷保持能力が要求されるアクティブマトリクス回路を構成する TFT として、リーク電流の小さなオフセットゲート型 TFT を用いるのは当然のことである。しかしながら、オフセットゲート型 TFT においては、上述の通り、N チャネル型 TFT の弱い P 型領域がゲート電極やドレイン領域によって制御できないようなものとなってしまう、劣化はより大きかった。これはアクティブマトリクス回路のようにアナログスイッチとしての特性を期待される素子にとっては致命的なものであった。また、その他の回路においても、N チャネル型 TFT を用いることは劣化の点において好ましくない。

【0016】このようなことから、オフセットゲイト型のTFTをアクティブマトリクス回路に用いるモノリシック型アクティブマトリクス回路においては、本発明の第1のように、全てのTFTをPチャネル型とすることが必要とされ、こうすることによって、優れた回路特性と高い信頼性を得ることができた。モノリシック型アクティブマトリクス回路において、800℃以下の低温で形成されたゲイト絶縁膜を用いたTFTにおいては、上述の通り、多くの電子がトラップされ、Nチャネル型TFTの特性は著しく劣化した。したがって、800℃以下の温度で形成されたゲイト絶縁膜を用いて作製されたTFTによって構成されたモノリシック型アクティブマトリクス回路においては、本発明の第2のように、全てのTFTをPチャネル型とすることが必要とされ、こうすることによって、優れた回路特性と高い信頼性を得ることができた。

【0017】高い電荷保持能力が要求されるアナログバッファ回路等の周辺駆動回路におけるスイッチング回路を構成するTFTとして、リーク電流の小さなオフセットゲート型TFTを用いるのは当然のことである。しかしながら、オフセットゲート型TFTにおいては、上述の通り、Nチャネル型TFTの弱いP型領域がゲート電極やドレイン領域によって制御できないようなものとなってしまう、劣化はより大きかった。これはアナログバッファ回路のようにしきい値電圧の安定性が何よりも必要とされる素子にとっては致命的なものであった。また、その他の回路においても、Nチャネル型TFTを用いることは劣化の点において好ましくない。

【0018】このようなことから、オフセットゲイト型のTFTをアナログバッファ回路等の周辺駆動回路に用いるモノリシック型アクティブマトリクス回路においては、本発明の第3のように、全てのTFTをPチャネル型とすることが必要とされ、こうすることによって、優れた回路特性と高い信頼性を得ることができた。上述の通り、オフセットゲイト作製する目的のいかなを問わず、陽極酸化物によってゲイト電極を被覆することの効果は大きい。しかしながら、陽極酸化物はえてして電荷をトラップするものであり、特にゲイト電極の側面に残った陽極酸化物はゲイト絶縁膜と近いこともあって、電子を捕獲しやすく、かつ、そのような位置に捕獲された電子はTFTがNチャネル型の場合には特性に大きな影響を与える。したがって、陽極酸化物がゲイト電極の側面に残されたTFTを有するモノリシック型アクティブマトリクス回路においては、本発明の第4のように、全てのTFTをPチャネル型とすることが必要とされ、また、こうすることによって、優れた回路特性と高い信頼性を得ることができた。

【0019】

### 【实施例】

【実施例１】 本発明を用いてモノリシック型液晶ディスプレイを作製した例を説明する。図８には本実施例のモノリシック型液晶ディスプレイのブロック図を示す。液晶ディスプレイを構成する要素回路、すなわち、シフトレジスタX（ソースドライバ用）およびY（ゲートドライバ用）、ソースドライバのアナログスイッチ、アナログバッファ等の回路、およびアクティブマトリクス回路に用いられるTFTは全てPチャネル型である。図５には本実施例のシフトレジスタ（１段）の回路図を示す。

【0020】この回路においては電源線としては、 $V_{DD}$ 、 $V_{SS}$ 、 $V_{CC}$ の3本が必要であり、この場合、 $V_{DD} > V_{SS}$ である。また、 $V_{CC}$ はTFTの特性を考慮して最適な値が決定され、好ましくは、 $V_{SS}$ 程度、あるいは、それ以下である。以下に、このようなモノリシック型液晶ディスプレイの回路作製工程について図1を用いて説明する。基板としては、コーニング社7059番もしくは

はNHテクノグラス社NA35もしくはNA45等の低アルカリガラスあるいは無アルカリガラスを用いることが望ましい。基板は、TFT作製プロセスの加熱工程において収縮することを防止するために、適当な熱処理をほどこしておいてもよい。この基板101上に下地膜として、厚さ1000~5000Å、例えば、2000Åの酸化珪素膜102を堆積した。

【0021】さらに、厚さ300~1500Å、例えば、500Åのアモルファスシリコン膜を堆積し、500~600℃で熱アニール処理をおこなうことによって10結晶化させた。この際にはニッケル等の結晶化を助長する金属元素を微量添加して、結晶化温度を低下せしめ、さらに、熱アニール時間を短縮させてもよい。例えば、ニッケルを $1 \times 10^{18}$ 原子/cm<sup>3</sup>以上、混在させると、550℃、4~8時間で結晶化が完了した。結晶化工程の後、レーザーもしくはそれと同等な強光を照射して、結晶性を改善してもよい。

【0022】もちろん、この結晶化工程はアモルファスシリコン膜にレーザーもしくはそれと同等な強光を照射する、いわゆる光アニールによって結晶化してもよい。20その後、結晶化したシリコン膜をエッチングして、島状領域103、104、105を形成した。ここで、領域103および104は周辺駆動回路（ソースドライバやゲートドライバ）を構成するTFTに用いられ、また、領域105はアクティブマトリクス回路を構成するTFTに用いられる。そして、プラズマCVD法によって厚さ1000~1500Å、例えば、1200Åの酸化珪素膜106を堆積し、これをゲート絶縁膜とした。さらに、スパッタリング法によってアルミニウム膜を3000~8000Å、例えば、5000Å堆積し、これをエッチングして、ゲート電極107、108、109を形成した。（図1（A））

【0023】その後、特開平5-114724もしくは同5-267167と同じ条件で、電解溶液中でゲート電極107~109に電圧を印加し、ゲート電極の側面および上面に陽極酸化物の被膜110、111、112を形成した。陽極酸化物の厚さは1500~3000Å、例えば、2000Åとした。また、この厚さはシフトレジスタに用いるTFTやアナログバッファに用いるTFT、アクティブマトリクス回路に用いるTFT等、TFTの用途に応じて違えるようにしてもよかった。なぜならば、陽極酸化物の厚さは特開平5-114724に記述されているようにオフセット領域の幅を決定する要因であり、オフセット幅の違いによってTFTの特性が異なるからである。（図1（B））

【0024】そして、ゲート電極につながる配線を必要に応じて分断した後、イオンドーピング法（プラズマドーピング法ともいう）によって全面にホウ素をドーピングした。ドーピング装置としては日新電機社製のものを1用いた。この際のドーズ量としては $2 \times 10^{14}$ ~ $5 \times 1$

$0^{14}$ 原子/cm<sup>3</sup>、例えば、 $5 \times 10^{14}$ 原子/cm<sup>3</sup>とした。また、加速電圧は、ゲート絶縁膜を透過してシリコン膜に注入される必要から、30~80kV、例えば、65kVとした。ドーピング後、全面にレーザー光を照射して、ドーピングされたホウ素の活性化をおこなった。レーザーとしてはKrFもしくはXeClエキシマーレーザーを用いた。レーザーのエネルギー密度は150~350mJ/cm<sup>2</sup>、例えば、200mJ/cm<sup>2</sup>とした。この際、基板を200~400℃に加熱すると、レーザーのエネルギー密度を低下させる効果があった。このようにして、シリコン領域103~105にゲート電極および陽極酸化物をマスクとして自己整合的にホウ素の注入されたP型領域（ソース/ドレイン）113、114、115が形成された。（図1（C））

【0025】その後、層間絶縁物として、全面に厚さ3000~8000Å、例えば、5000Åの酸化珪素膜もしくは窒化珪素膜116を堆積した。さらに、スパッタリング法によって厚さ500~1500Å、例えば、500Åの透明導電被膜、例えば、インディウム錫酸化物被膜（ITO）を堆積した。そして、これをエッチングして、アクティブマトリクス回路領域（画素領域）に画素電極117を形成した。（図1（D））その後は、各TFTのソース/ドレイン、および図示されていないがゲート電極にコンタクトホールを形成し、窒化チタン膜とアルミニウム膜の多層膜によって電極・配線118、119、120、121、122を形成した。以上のようにして周辺駆動回路領域のTFT123、124（図5参照）と画素領域のTFT125（図8参照）を形成した。これらのTFTはいずれもPチャネル型である。（図1（E））

【0026】〔実施例2〕 本発明を用いてモノリシック型液晶ディスプレイを作製した例を説明する。本実施例のモノリシック型液晶ディスプレイのブロック図は実施例1のもの（図8）と同じである。図6には本実施例のシフトレジスタ（1段）の回路図を示す。本実施例では全てのTFTをPチャネル型とするが、エンハンスメント型のTFT以外に負荷としてデプレッション型のTFTも用いることを特長とする。この回路においては電源線としては、 $V_{DD}$ 、 $V_{SS}$ の2本のみで良く、実施例1のように $V_{G0}$ は不要である。そのため、回路の集積化という点で好ましい。また、一般に動作速度も実施例1の場合に比較すると速い。この場合も、 $V_{DD} > V_{SS}$ である。

【0027】以下に、このようなモノリシック型液晶ディスプレイの回路作製工程について図2を用いて説明する。基板として無アルカリガラスを用いた。この基板201上に下地膜として、厚さ1000~5000Å、例えば、2000Åの酸化珪素膜202を堆積した。さらに、厚さ300~1500Å、例えば、500Åのホウ素、磷等の導電性を付与する元素が可能な限り低濃度な



アモルファスシリコン膜203を堆積し、さらに、その上に厚さ1000~3000Å、例えば、2000Åの酸化珪素膜204を堆積した。そして、フォトレジスト205でマスクした。酸化珪素膜204はホウ素イオンの注入工程によって、アモルファスシリコン膜の表面が荒れないようにするためである。

【0028】そして、イオンドーピング法もしくはイオン注入法（イオン・インプランテーション法）によって、ホウ素をシリコン膜中に選択的に注入した。ここでは、イオンドーピング法を用い、加速電圧65kV、ドーズ量 $1 \times 10^{13} \sim 2 \times 10^{14}$ 原子/cm<sup>2</sup>でホウ素を注入し、弱いP型領域206を形成した。この領域にはデプレッション型TFTが形成される。（図2（A））その後、フォトレジストのマスク205および酸化珪素膜204を除去し、熱アニール処理もしくはレーザー照射等の処理によってアモルファスシリコン膜202を結晶化させた。

【0029】その後、結晶化したシリコン膜をエッチングして、島状領域207、208、209を形成した。ここで、領域207および208は周辺駆動回路（ソースドライバやゲートドライバ）を構成するTFTに用いられ、また、領域209はアクティブマトリクス回路を構成するTFTに用いられる。さらに、領域207はデプレッション型TFTに、また、領域208、209はエンハンスメント型TFTに用いられる。その後、ゲート絶縁膜を堆積し、実施例1と同様に側面および上面が陽極酸化化物で被覆されたゲート電極210、211、212を形成した。（図2（B））

【0030】そして、ゲート電極につながる配線を必要に応じて分断した後、イオンドーピング法によって全面にホウ素をドーピングした。この際のドーズ量としては、 $5 \times 10^{14}$ 原子/cm<sup>2</sup>とした。また、加速電圧は65kVとした。ドーピング後、全面にレーザー光を照射して、ドーピングされたホウ素の活性化をおこなった。このようにして、シリコン領域207~209にゲート電極および陽極酸化化物をマスクとして自己整合的にホウ素の注入されたP型領域（ソース/ドレイン）213、214、215が形成された。（図2（C））その後、層間絶縁物として、全面に厚さ、5000Åの酸化珪素膜もしくは窒化珪素膜216を堆積し、また、透明導電被膜によって、アクティブマトリクス回路領域（画素領域）に画素電極217を形成した。（図2（D））

【0031】そして、各TFTのソース/ドレインゲート電極・配線にコンタクトホールを形成し、窒化チタン膜とアルミニウム膜の多層膜によって電極・配線218、219、220、221、222を形成した。以上のようにして周辺駆動回路領域のTFT223、224（図6参照）と画素領域のTFT225を形成した。これらのTFTはいずれもPチャネル型であるが、TFT223はチャネル形成領域が弱いP型であり、デプレ

ション型のトランジスタである。一方、TFT224と225は、チャネル形成領域が真性もしくは実質的に真性であり、エンハンスメント型のトランジスタである。

（図2（E））

【0032】〔実施例3〕 本発明を用いてモノリシック型液晶ディスプレイを作製した例を説明する。本実施例のモノリシック型液晶ディスプレイのブロック図は実施例1のもの（図8）と同じである。図4には本実施例のシフトレジスタ（1段）の回路図を示す。本実施例では全てのTFTをPチャネル型とするが、負荷として抵抗を用いることを特長とする。この回路においても、実施例2と同様に電源線としては、 $V_{DD}$ 、 $V_{SS}$ の2本のみで良い。また、一般に動作速度も実施例1の場合に比較すると速い。この場合も、 $V_{DD} > V_{SS}$ である。このような回路の断面図を図3に示す。これらの回路は実施例1や実施例2で説明した集積回路作製技術を用いて作製される。ここでは、その詳細は省略する。

【0033】図3（A）において、領域301は抵抗であり、領域302は周辺駆動回路のTFT、領域303は画素領域のTFTである。抵抗301は真性シリコン領域を抵抗として用いる。このような抵抗を形成するには図1に示されるTFT123に対してソース/ドレインを形成するためのドーピングをおこなった後、そのゲート電極を除去すればよい。しかしながら、この場合には真性シリコンを抵抗として用いるため、概して抵抗値が大きく、通常1MΩ以上となる。このため、回路の動作速度が遅いという問題がある。

【0034】図3（B）において、領域304は抵抗であり、領域305は周辺駆動回路のTFT、領域306は画素領域のTFTである。抵抗304は弱いP型のシリコン領域を抵抗として用いる。このような抵抗を形成するには図2に示されるTFT223に対してソース/ドレインを形成するためのドーピングをおこなった後、そのゲート電極を除去すればよい。この場合には弱いP型シリコンを抵抗として用いるため、通常100kΩ程度となる。

【0035】図3（C）において、領域307は抵抗であり、領域308は周辺駆動回路のTFT、領域309は画素領域のTFTである。抵抗307はP型シリコン領域を抵抗として用いる。このような抵抗を形成するには図1に示されるTFT123を形成する工程の途中でゲート電極を除去し、その後にホウ素のドーピングをおこなえばよい。しかしながら、この場合にはP型シリコンを抵抗として用いるため、概して抵抗値が小さく、通常10kΩ以下となる。このため、回路の消費電力が多いという問題がある。

【0036】また、図3（C）の構造を形成するには、ゲート電極形成・陽極酸化の工程（例えば、図1（B））と、ホウ素ドーピングの工程（図1（C））の間に、ゲート電極につながる配線を分断する工程がある

ので、そのときに同時におこなえばよい。しかし、図3 (A) および (B) の構造を形成するには、ドーピング後にゲート電極を除去しなければならない、フォトリソグラフィの工程が1つ増えることとなる。

【0037】【実施例4】 以上の実施例1~3はモノリシック型アクティブマトリクス液晶ディスプレイのみに関するものであった。もちろん、このようにし形成されたアクティブマトリクス液晶ディスプレイを用いてより高度なシステムを構築することができる。図9にはそのようなシステムのブロック図を示す。

【0038】図9の例は、一対の基板間に液晶を挟持した構成を有する液晶ディスプレイの少なくとも一方の基板上に、通常のコンピュータのメインボードに取り付けられている半導体チップを固定することによって、小型化、軽量化、薄型化をおこなった例である。特に、アクティブマトリクス回路を有する基板にこれらのチップを取り付ける。本発明ではアクティブマトリクス回路およびその周辺駆動回路にPチャネル型TFTのみを用いるので、通常のCMOS型の周辺駆動回路を用いた場合に比較して消費電力が大きくなるという欠点があった。そのため、このようなシステムでは液晶ディスプレイパネル以外のチップはCMOS化されたチップを用いて、消費電力を下げる必要がある。アクティブマトリクス回路を有する基板は本発明のモノリシック型アクティブマトリクス回路を有する。

【0039】以下、図9について説明する。基板15は液晶ディスプレイの基板でもあり、その上にはTFT (11)、画素電極12、補助容量13を具備する画素が多数形成されたアクティブマトリクス回路14と、それを駆動するためのXデコーダー/ドライバー、Yデコーダー/ドライバー、XY分岐回路がTFTによって形成されている。

【0040】しかしながら、本発明では基板15上に、さらに他のチップを取り付ける。そして、これらのチップはワイヤボンディング法、COG (チップ・オン・ガラス) 法等の手段によって、基板15上の回路に接続される。図9において、補正メモリー、メモリー、CPU、入力ポートは、このようにして取り付けられたチップであり、この他にも様々なチップを取り付けてもよい。

【0041】図9において、入力ポートとは、外部から入力された信号を読み取り、画像用信号に変換する回路である。補正メモリーは、アクティブマトリクスパネルの特性に合わせて入力信号等を補正するためのパネルに固有のメモリーのことである。特に、この補正メモリーは、各画素固有の情報を不揮発性メモリーとして有し、個別に補正するためのものである。すなわち、電気光学装置の画素に点欠陥のある場合には、その点の周囲の画素にそれに合わせて補正した信号を送り、点欠陥をカバーし、欠陥を目立たなくする。または、画素が周囲の画

素に比べて暗い場合には、その画素により大きな信号を送って、周囲の画素と同じ明るさとなるようにするものである。画素の欠陥情報はパネルごとに異なるので、補正メモリーに蓄積されている情報はパネルごとに異なる。

【0042】CPUとメモリーは通常のコンピュータのものとその機能は同様で、特にメモリーは各画素に対応した画像メモリーをRAMとして持っている。これらのチップはいずれもCMOS型のものである。

10 【0043】本発明の具体的な構成の例を図10に示す。基板20に対向して基板19が設けられ、その間には液晶が挟持されている。また、基板20には、アクティブマトリクス回路21と、それを駆動するための周辺駆動回路22、23、24がTFTを用いて構成されている。そして、これらの回路の形成された面に、メインメモリーチップ26、MPU (マイクロ演算回路) 27、補正メモリー28を接着し、各チップを基板20上の回路と接続した。例えば、COG (チップ・オン・ガラス) 法によってチップを接続する場合には、基板20上には、図10の29に示すような配線が、固定部分25に形成された。

【0044】具体的な接点の形状としては、図11あるいは図12に示されるものを用いた。図11の方法では、基板30上の配線31とチップ32の電極部33に設けられた導電性の突起物 (バンプ) 34とを接触させ、基板30とチップ32間を有機樹脂35で固定した。バンプとしては、無電界メッキによって形成した金を用いればよい。

30 【0045】図12の方法では、基板40とチップ42の間に導電性の粒子 (例えば、金の粒子) 44を分散させた有機樹脂によって基板とチップを接着し、基板40上の配線41とチップ42の電極部43の間に存在した導電性粒子44との接触によって、回路の接続をおこなった。接着に使用した有機樹脂としては、光硬化性もしくは熱硬化性のもの、あるいは自然硬化性のものを用いた。なお、液晶ディスプレイへの液晶の注入は、チップを接着してからでもよい。

40 【0046】このような工程を経て、液晶ディスプレイ基板にCPU、メモリーまでもが形成され、1枚の基板で簡単なパーソナルコンピュータのような電子装置を構成することができた。また、チップの接続法に関しては、公知のワイヤボンディング法によってもよい。

【0047】

【発明の効果】本発明により、モノリシック型アクティブマトリクス回路の信頼性を向上させることができた。その他に通常のCMOS回路を形成する場合に比較して、プロセスの簡略化の効果もある。例えば、実施例1においては、CMOSを形成する場合に比較して、異種不純物ドーピングのためのフォトリソグラフィ工程およびN型不純物注入工程が省略されている。

【0048】もっとも、実施例2においては、弱いP型領域を形成するために、フォトリソグラフィ工程とドーピング工程がそれぞれ1回必要であるので、通常のCMOSを形成する場合と同じだけの工程が必要である。しかしながら、ドーピングのマスクとして、フォトレジスト等を用い、かつ、高いドーズ量のイオンをドーピングした場合には、フォトレジストが炭化して除去することが難しく、通常、長時間のアッシング（灰化）工程が必要となったのであるが、実施例2の場合には、ドーズ量自体が小さい上、酸化珪素膜204（図2）をエッチングすることによって、フォトレジスト205をリフトオフ法によって除去できる。このため、通常のCMOS工程に比較すると、ドーピング後のフォトレジストマスクの除去工程が容易である。このように本発明は工業上、有益である。

#### 【図面の簡単な説明】

【図1】 本発明の集積回路作製工程断面の概要を示す。（実施例1）

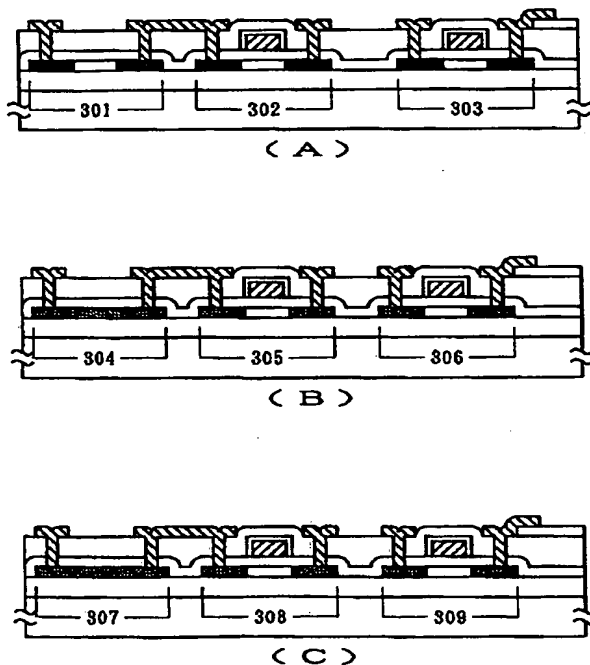
【図2】 本発明の集積回路作製工程断面の概要を示す。（実施例2）

【図3】 本発明の集積回路断面の概要を示す。（実施例3）

【図4】 本発明の集積回路に用いられるシフトレジスタの回路図を示す。（実施例3）

【図5】 本発明の集積回路に用いられるシフトレジスタの回路図を示す。（実施例1）

【図3】



【図6】 本発明の集積回路に用いられるシフトレジスタの回路図を示す。（実施例2）

【図7】 従来のNチャネル型TFTの劣化について説明する。

【図8】 本発明のモノリシック型液晶ディスプレイブロック図を示す。

【図9】 実施例4のシステムのブロック図を示す。

【図10】 実施例4の構成を示す。

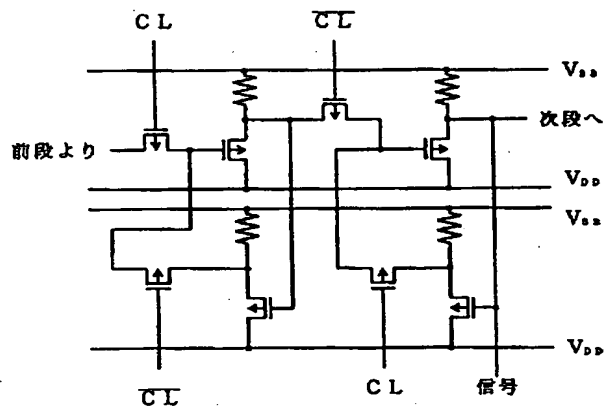
【図11】 実施例4におけるCOG法の構成例を示す。

【図12】 実施例4におけるCOG法の構成例を示す。

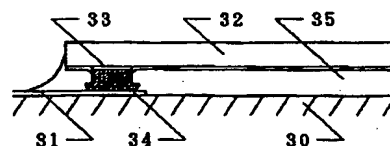
#### 【符号の説明】

- 101.....基板
- 102.....下地膜
- 103、104...島状シリコン領域（周辺駆動回路用）
- 105.....島状シリコン領域（画素回路用）
- 106.....ゲイト絶縁膜
- 107、108...ゲイト電極（周辺駆動回路用）
- 109.....ゲイト電極（画素回路用）
- 110～112...陽極酸化物被膜
- 113～115...P型領域
- 116.....層間絶縁物
- 117.....画素電極
- 118～122...電極・配線

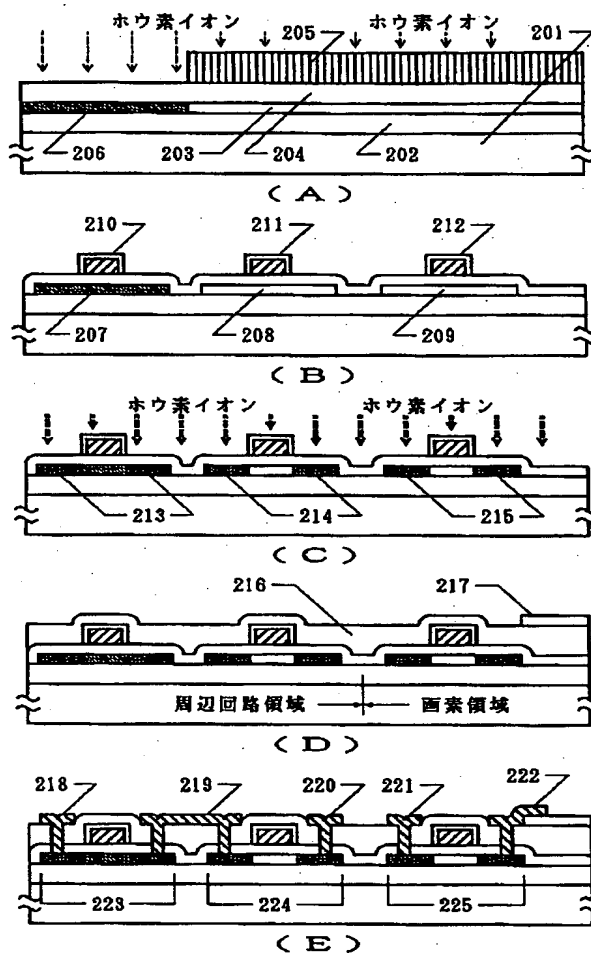
【図4】



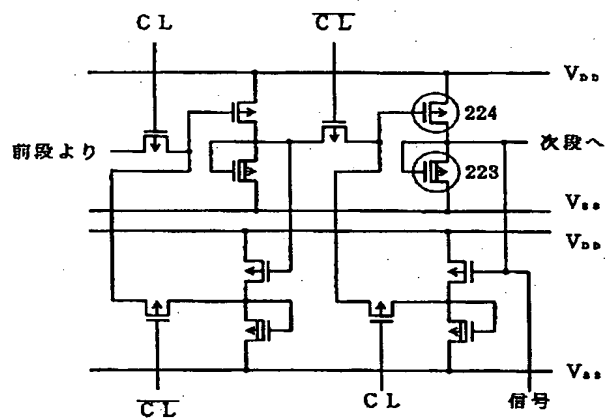
【図11】



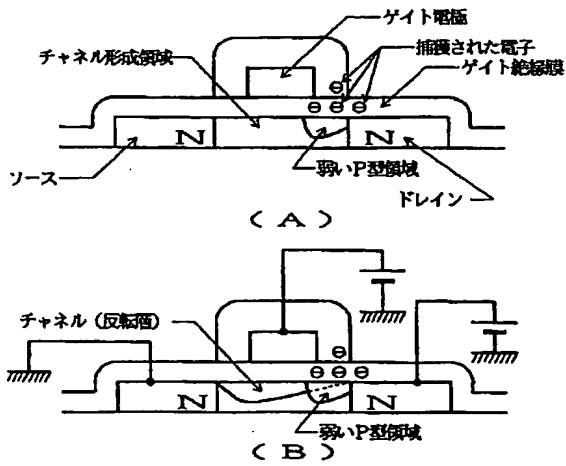
【図 2】



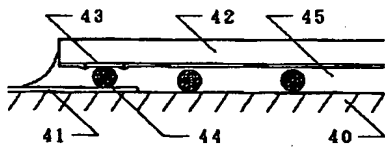
【图 6】



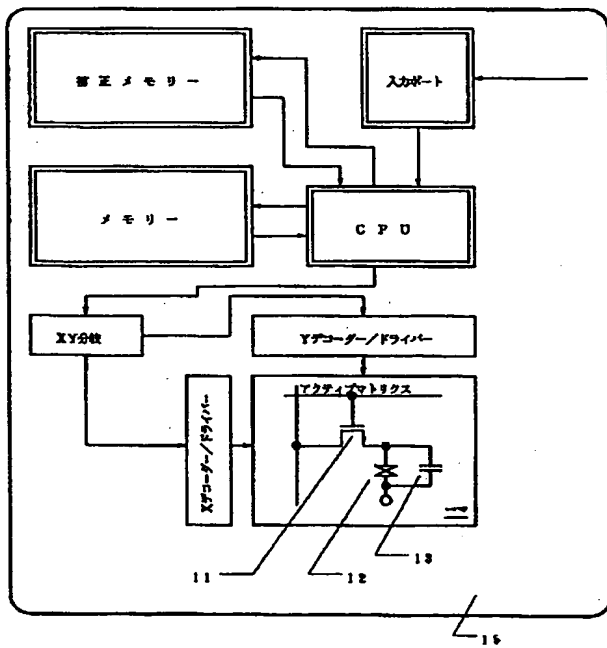
【図 7】



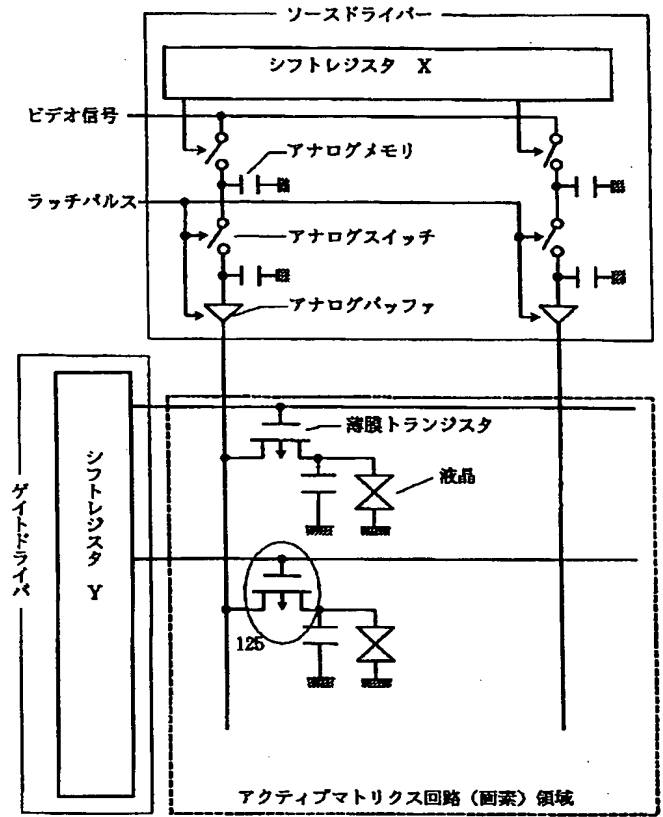
【図 12】



【図 9】



【図 8】



【図 10】

